Fan-Out-Panel-Level Package Report 2019

Marketing and Technological Trends in the Global Fan-Out-Panel-Level Package Industry

世界ファン・アウト・パネル・レベル・パッケージ産業に於ける技術・市場動向

the Purpose of Publication To Provide Basic Information on the Global Fan-Out-Panel-Level Package Industry.

the Publication Date September 27, 2019 the Format A4 Size 243 Pages + an Appendix Chapter

the Price a Copy in a Paper Medium (560,000 JPY) --- an English Version (Shipping & Handling Costs Included.)

A copy in a CD format comes with the paper-based report.

発行目的世界ファン・アウト・パネル・レベル・パッケージ産業に於ける基礎情報を提供する事。

発行日 令和元年 9 月 27 日 体裁 A4 判 243 頁 + 附録章

価格 紙媒体による報告書 (545,000 円) [税別] --- 日本国内 <消費税 10%を含む場合は 599,500 円。>

CD 版は紙媒体の報告書に付属しております。

*Preliminary Chapter: Preliminary Items (序章: 予備項目)

*Chapter One: the Global Markets of FO-PLPs and Related Things (第一章:世界 FO-PLP 市場と関連事項)

*Appendix Chapter: Corporate Presentations of Interviewees (附録章:取材先企業会社案内)

Japan Marketing Survey Co., Ltd.

2-24-12 Higashi-Nihonbashi Chuo, Tokyo 103-0004 Japan

Phone: 81-3-5829-3891 Fax: 81-3-5829-3892

E-Mail: info@jms21.co.jp Web Site: http://www.jms21.co.jp

株式会社ジャパンマーケティングサーベイ

〒103-0004 東京都中央区東日本橋 2-24-12

TEL: 03-5829-3891 FAX: 03-5829-3892

E-Mail: info@jms21.co.jp Web Site: http://www.jms21.co.jp/

The size of the global market of Fan-Out-Panel-Level Packages is expected to expand rapidly.

- The size of the market will expand to several billion US dollars in several years in value.
- The size of the market will expand to several billion pieces in several years in volume.
- The size of the market will expand to several million SQMs in several years in volume.

a Remark: The size of the market in value excludes IC chips.

Samsung Group has already been producing the FO-PLPs on a large scale. After massive investments in production facilities, Powertech Technology Inc. will start FO-PLP production in the first half of 2021.

Considering the rapid growth of the market, JMS has prepared a research report on marketing and technological trends in the global FO-PLP industry.

The report covers not only the FO-PLPs themselves but also materials for them. When you see tables on FO-PLP specifications in the report, you will find what kinds of materials are adopted in what parts of the FO-PLPs. THESE ARE EXTREMELY DETAILED SPECIFICATION TABLES COVERING MANY OTHER ITEMS SUCH AS ENCAPSULANT PRODUCT NAME AND RDL DIELECTRIC LAYER THICKNESS AND SO ON.

世界ファン・アウト・パネル・レベル・パッケージ市場は急拡大をする事が見込まれる。

- 当該市場の金額的規模は数年以内に数十億ドルに達する事が予測される。
- 当該市場の数量的規模は数年以内に数十億個に達する事が予測される。
- 当該市場の数量的規模は数年以内に数百万平米に達する事が予測される。

※当該市場の金額的規模には、IC チップを含まない。

サムスングループは既に FO-PLP の量産を行ってきている。大規模な設備投資を行ったパワーテックテクノロジーは、2021 年前半に FO-PLP の生産を開始する。

JMSでは、当該市場の急拡大に伴い、FO-PLP産業に於ける技術・市場動向を纏めた調査報告書を作成した。

本報告書は、FO-PLP 自体以外にも、それらに使用される材料についても掲載を行っている。報告書中の FO-PLP 仕様に関する表をご覧頂ければ、FO-PLP のどの部分にどの様な材料が採用されているかお分かり頂ける。IC の種類別に作成した仕様表には、パッケージの寸法並びに厚み等はもとより、封止材の型番、再配線層材料の型番等、極めて極めて詳細な情報が記載されている。

the Table of the Contents (目次)

Preliminary Chapter Preliminary Items (序章 予備項目)

0. Preliminaries (序項)
1. an Overview of Fan-Out Panel Level Package Manufacturing (ファン・アウト・パネル・レベル・パッケージ製造の概要) 3
2. Examples of Manufacturing Flows of Fan-Out Panel Level Packages(ファン・アウト・パネル・レベル・パッケージの製造工程の事例)
2-1. an Example of Manufacturing Flows of RDL-First-&-Face-Down-Type Fan-Out Panel Level Packages
(RDL ファーストでフェイスダウン型ファン・アウト・パネル・レベル・パッケージの製造工程の一例)
2-2. an Example of Manufacturing Flows of Chip-First-&-Face-Up-Type Fan-Out Panel Level Packages
(チップファーストでフェイスアップ型ファン・アウト・パネル・レベル・パッケージの製造工程の一例)
2-3. an Example of Manufacturing Flows of Chip-First-&-Face-Down-Type Fan-Out Panel Level Packages
(チップファーストでフェイスダウン型ファン・アウト・パネル・レベル・パッケージの製造工程の一例)
3. Appendices to the Examples of Manufacturing Flows of Fan-Out-Panel-Level Packages(ファン・アウト・パネル・レベル・パッケージの製造工程の事例への附録)
3-1. Appendix: Seed Layer Application to Seed Layer Removal (附録:シード層付着からシード層除去)
3-2. Appendix: Solder Mask Coating to Solder Mask Development (附録:ソルダーマスク塗布からソルダーマスク現像)27
4. Fan-Out-Panel-Level-Package-Related Reference Information(ファン・アウト・パネル・レベル・パッケージ関連の参考情報)
4-1. Illustrations of the Structure of an IC Wafer (IC ウエハの構造についての図説)
4-1-1. a Rough Pictorial Appearance of a Typical Wafer for Use in ICs After Die Fabrication (ダイ作り込み後に於ける一般的な IC 用ウエハの概略図的な外観) 29
4-1-2. a Rough Cross-Sectional Picture of an IC Die (IC ダイの概略的な断面図)30
4-2. Illustrations of Structures of Bumped IC Wafers (バンプ付き IC ウエハの構造についての図説)
4-2-1. a Rough Pictorial Appearance of a Typical Solder-Bumped Wafer(一般的な半田バンプ付きウエハの概略図的な外観)31
4-2-2. a Rough Cross-Sectional Picture of a Solder-Bumped IC Die(半田バンプ付き IC ダイの概略的な断面図)32
4-2-3. a Rough Pictorial Appearance of a Typical Copper-Pillar-Bumped Wafer(一般的な銅ピラーバンプ付きウエハの概略図的な外観)33
4-2-4. a Rough Cross-Sectional Picture of a Copper-Pillar-Bumped IC Die (銅ピラーバンプ付き IC ダイの概略的な断面図)34
4-3. Fan-Out-Panel-Level-Package-Related Images (ファン・アウト・パネル・レベル・パッケージ関連の画像)
5. Embedded Trace Substrates (パターン埋め込み型基板)
5-1. an Example of Manufacturing Flows of Embedded Trace Substrates (パターン埋め込み型基板の製造工程の一例)49
5-2. Remarks (備考)
5-3. Embedded-Trace-Substrate-Related Images (パターン埋め込み型基板関連の画像)

Chapter One the Global Markets of FO-PLPs and Related Things (第一章 世界 FO-PLP 市場と関連事項)

0. Preliminaries (序項)

0-1. an Example of Fan-Out-Panel-Level Packages Manufactured by Samsung Electro-Mechanics Co., Ltd. (三星電機株式会社製のファン・アウト・パネル・レベル・パッケージの一例)	
0-1-1. an Example of Manufacturing Flows of Fan-Out-Panel-Level Packages Manufactured by Samsung Electro-Mechanics Co., Ltd. (三星電機株式会社製の	ファ
ン・アウト・パネル・レベル・パッケージの製造工程の一例)	
0-1-2. Appendices to "0-1-1." (「0-1-1.」への附録)	
0-1-2-1. a Modified Semi-Additive Process Possibly Utilized in Manufacturing the Three-Layer HDI in "0-1-1." (「0-1-1.」に於ける三層 HDI の製造に利用されてい	る可
能性があるモディファイド・セミアディティブ法)・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・・	
0-1-2-2. a Modified Semi-Additive Process Likely to be Utilized in Manufacturing the Three-Layer HDI in "0-1-1." (「0-1-1.」に於ける三層 HDI の製造に利用され	てし
る可能性が高いモディファイド・セミアディティブ法)112	
0-1-3. Samsung-Electro-Mechanics-Co.,-LtdManufactured-Fan-Out-Panel-Level-Package-Related Reference Information (三星電機株式会社製のファン・アウト	-/
ネル・レベル・パッケージ関連の参考情報)	
0-2. an Example of Fan-Out-Panel-Level Packages Manufactured with Mitsui Mining & Smelting's HRDP®(三井金属鉱業の HRDP®で製造されたファン・アウト・パ	ネ
ル・レベル・パッケージの一例)	
0-2-1. an Example of Manufacturing Flows of Fan-Out-Panel-Level Packages Manufactured with Mitsui Mining & Smelting's HRDP®(三井金属鉱業の HRDP®	で製
造されたファン・アウト・パネル・レベル・パッケージの製造工程の一例)	
0-2-2. a Correlation Chart Between Mitsui Mining & Smelting Co., Ltd. and Geomatec Co., Ltd. in the HRDP Manufacturing Business(HRDP の製造事業に於	ナる
三井金属鉱業株式会社とジオマテック株式会社の相関図)134	
0-3. an Example of Fan-Out-Panel-Level Packages Manufactured with Prepreg (プリプレグで製造されたファン・アウト・パネル・レベル・パッケージの一例)	
0-3-1. an Example of Manufacturing Flows of Fan-Out-Panel-Level Packages Manufactured with Prepreg (プリプレグで製造されたファン・アウト・パネル・レベル・パ	ッケ
ージの製造工程の一例)	
0-3-2. a Related Image (関連画像)	
0-4. a Stepper-Related Small Piece of Reference Information (ステッパーに関する附記的な参考情報)	
1. the Global Markets of Fan-Out-Panel-Level Packages and Related Products (ファン・アウト・パネル・レベル・パッケージ及び関連製品の世界市場)	
1-1. Categorization of Fan-Out-Panel-Level Packages and Related Things (ファン・アウト・パネル・レベル・パッケージの区分と関連事項)	
1-1-1. a Review on the Fan-Out-Panel-Level Packages Introduced in This Report (本報告書に於いて紹介されたファン・アウト・パネル・レベル・パッケージに関する再考	察)
1-1-2. The Expected Launching Years of FO-PLPs by Type of IC Chip(IC チップの種類別による FO-PLP の予想される上市年) ······· 148	
1-1-3. Feasibility of FO-PLPs by Type of IC Chip (IC チップの種類別による FO−PLP の実現可能性)・・・・・・・・・・・・・・・・・・150	
1-1-4. Possible Entrant Industries (参入する可能性がある業種)	
1-1-5. Possible Entrant Manufacturers into the FO-PLP Industry (FO-PLP 産業へ参入する可能性がある製造業者)	
1-2. the Global Markets of Fan-Out-Panel-Level Packages and Related Products (ファン・アウト・パネル・レベル・パッケージ及び関連製品の世界市場)	
1-2-0. IC Packages that are Expected to Adopt FO-PLPs (FO-PLP を採用すると予測される IC パッケージ)	
1-2-1. the Global Markets of FO-PLP Application Products(FO-PLP の応用製品の世界市場)	
1-2-1-1. Smartphones (スマートフォン)	
1-2-1-2. Smart Watches (スマートウォッチ)	
1-2-1-3. Tablet PCs (タブレット PC)	
1-2-1-4. Note PCs (ノート PC)	

1-2-1-5. Desk Top PCs (デスクトップ PC)	161
1-2-1-6. Servers (サーバ)	
1-2-1-7. Video Game Consoles (家庭用ゲーム機器) ····································	163
1-2-2. the Global Markets of FO-PLPs(FO-PLPの世界市場)	
1-2-2-1. an Extended Overview (拡大概要)	
1-2-2-2. the Entire Market (全体市場)	166
1-2-3. the Global Markets of FO-PLPs by IC Type (IC 別による FO-PLP の世界市場)	
1-2-3-1. Application Processors (APPLICATION PROCESSOR)	178
1-2-3-2. CPUs (CPU)	184
1-2-3-3. GPUs (GPU)	190
1-2-3-4. FPGAs (FPGA)	196
1-2-3-5. DRAMs (DRAM)	202
1-2-3-6. NAND Flash Memories (NAND FLASH MEMORY) ·····	208
1-2-3-7. PMICs (PMIC)	214
1-2-4. Manufacturers' Share of the Global FO-PLP Markets (各製造業者の世界 FO-PLP 市場に於ける占有率)	
1-2-4-1. 2018 (2018 年)	220
1-2-4-2. 2019 (2019 年)	224
1-3. Forecast on Specifications of Fan-Out-Panel-Level Packages, 2017 - 2028 (ファン・アウト・パネル・レベル・パッケージの仕様	予測:2017年-2028年
1-3-1. Application Processors	228
1-3-2. CPUs	232
1-3-3. GPUs	234
1-3-4. FPGAs	236
1-3-5. DRAMs	238
1-3-6. NANDs	240
1-3-7. PMICs	242

Appendix Chapter Corporate Presentations of Interviewees (附録章 取材先企業会社案内)

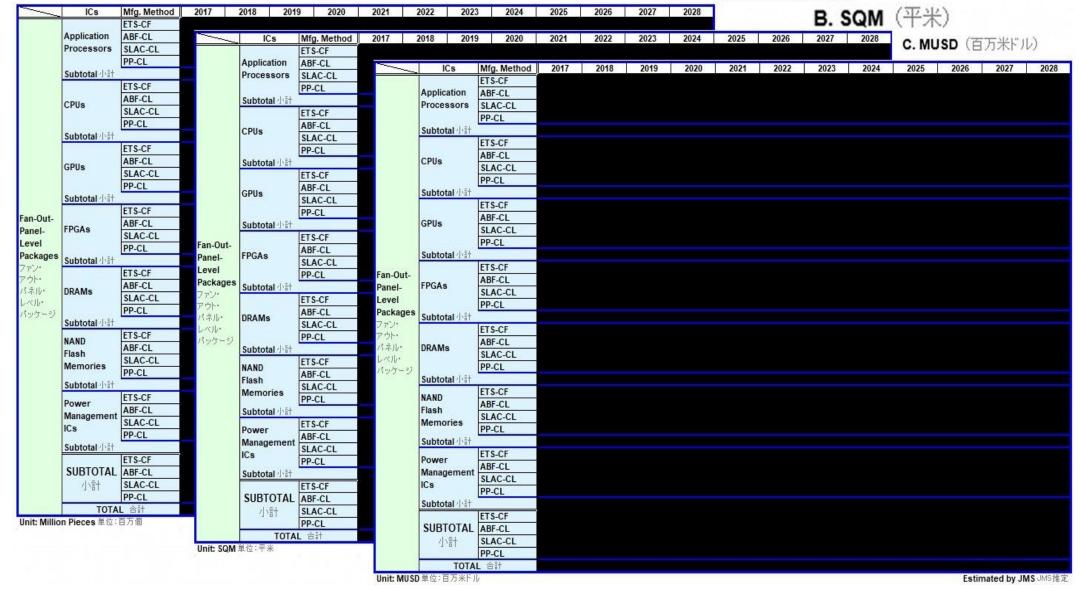
- 1. Compeq Manufacturing Co., Ltd.
- 2. Elite Material Co., Ltd.
- 3. Kinsus Interconnect Technology Corporation
- 4. Nan Ya Printed Circuit Board Corporation
- **5. Unimicron Technology Corporation**

Sample Contents

内容見本

1-2-2-2. the Entire Market (全体市場)

A. Million Pieces (百万個)



IC Packages IOパッケージ	General Application Fields in Which FO-PLPs are Expected to be Adopted FO-PLPが採用されると予測される一般的な応用分野											
	Smartphones スマートフォン	Smart Watches スマートウォッチ	Tablet PCs タブレットPC	Note PCs ノートPC	Desk Top PCs デスクトップPC	Servers サーバ	Telecommunications Infrastructure Systems 通信基幹装置					
APs	7/8/8	1918	791.5									
CPUs				1888	1/8/8	1666	VBA					
GPUs				165%	1696	101	YES					
FPGAs						HEN	184					
DRAMs	17818		790.00	Switten	Sherbiton	Swither	Swigton					
NANDs	1988		1988	Resistance	Baldon	No bless	Baltitions					
PMICs	1/8/8	198	188	Baltimo	No bloom	Baltime	Excisions					

Tigures in PPON rows (and columns) in tables for market break in this chapter include high and PPONs, high and NSCs and high and returns processors are expected to adopt PO-PLPs.

Tions of DEAMs, NAMEs, and PRECs for mobile products are expected to adopt PO-PLPs.

If the Ended Section of the Adopt Column and PRECs for mobile products are expected to adopt PO-PLPs.

If the Ended Section of the Adopt Column and PRECs for mobile products are expected to adopt PO-PLPs.

If the Ended Section of the Adopt Column and PRECs for mobile products are expected to adopt PO-PLPs.

If the Ended Section of the Adopt Column and PRECs for mobile products are expected to adopt PO-PLPs.

If the Ended Section of t

Corporate Name		-Out Panel-Level Packag マウト・パネル・レベル・パッケ		TOTAL	Corporate Name	Sales Value of Fan-Out Panel-Level Packages in 2019 (Forecast) 2018年に於けるファン・アウト・バネル・レベル・バッケージの売上金額(予測)					
企業名	For Smartwatches スマートウォッチ向け	For Smartphones スマートフォン向け	For Others その他向け	合計	企業名	For Smartwatches スマートウォッチ向け	For Smartphones スマートフォン向け	For Others その他向け	合計		
THE RESERVE AND ADDRESS OF THE PERSON NAMED IN					Decree of the Confession of th						
Oliv Bendelson's					The War Manufacture						
CONTRACT.					THE PERSON						
TOTAL					TOTAL	ĺ					
合計					合計						
t: MUSD 単位: 百万米ドル					Unit: MUSD 単位:百万米Fル						
Corporate Name					Corporate Name						
企業名					企業名						
Comprised a Management of the					SECURITION OF THE PARTY OF THE						
The State of the S					THE PERSON NAMED IN	1					
					CONTRACT CONTRACTOR						
TOTAL					TOTAL						
合計 : 1 Million Pieces 単位:百万個					合計 Unit: 1 Million Pieces 単位: 百万個						
: 1 Million Pieces 单位-百万恒					Onit: 1 Million Pieces #12-67/16	III					
Corporate Name					Corporate Name						
企業名					企業名						
					Salara programme de la companya del la companya de						
Har Brodeferry											
LOCAL DESIGNATION OF THE PARTY					THE REAL PROPERTY.						
TOTAL					TOTAL						
合計	V.				合計						

1-1-4. Possible Entrant Industries (参入する可能性がある業種)

	Categorization by	Subcategorization	Possible Entrant Industries 参入する可能性がある業種						
	EST Adoption ETS採用の有無 による区分	by Chip Assembly チップ実装による 下位区分	Designers 設計業者	Chip Foundries 半導体チップ 製造業者	Assem- blers 実装業者				
Fan-Out-	ETS-Adopted- Type FO-PLPs ETS採用型の FO-PLP	Chip First*1 チップファースト ^{※1}		Loren	Loren Messette				
Panel-Level Packages ファン・アウト・ パネル・レベル・ パッケージ	ETS-Non-Adopted- Type FO-PLPs	Chip First* ² チップファースト ^{※2}	Lames American	London Proceedings	Loren Messalah				
	ETS非採用型の FO-PLP	Chip Las t*³ チップラスト ^{※3}	Lamen Characteristics	Loren Nessekin	No. on the				

*In this table, IDMs (Integrated Device Manufacturers) are included in "Designers".

※本表に於いては、IDM(垂直統合型デバイスメーカ)は、「設計業者」に含まれる。

FO-PLP6 ファン・アウトPU		ipeoifications of FO-PLPs for Application Processors SOFIC 17FC-PLPの提先領世様	2017	2018	2019	2020	2021	2022	2028	2024	2026	2028	2027	2028
		Bize (X, Y, Z) mm 寸後(X, Y, Z) mm Number of Balls ボッル数 Ball Pitch (mm) ボッルと 9手 (mm)		-			No. of Lot	THE R. P.	-		-			
	the Entire Package バッケージ全体	Ball Diameter (mm) 完 <u>具值特</u> (mm) Encapsulant 於止抄					田田	E	H	E S	E	100		311
		Number of ICs IC (1)(t)							-			-		
ETS-Type ^H ETS및 ^{SS}	the ETS Part ETS解分	Layer Count 周数 Thickness (um) 矩形 [Jum Dielectric Layer Thickness (um) 稅設層(距升 [Jum Material 村井		Ŧ	H	Ŧ	Ŧ	10	E	E	E	E	Ŧ	Ξ
	the RDL Part	Manufacturing Process 規範工程 Layer Count 用機 Thickness (pm) 限分(リm) Dielectrio Layer Thickness (μm) 投資用限分(リm) Minimum US (μm) 影り様原(リm) Via Diameter (μm) とり後(リm) Via Formation Method ヒア総成方法			, And	, En	85.00	, la	, ha	, la	, And	, la	, to	Total Control
	再使排層部分	Moterial 선거				臣								臣
	Panel Size (mm) /5%	Manufacturing Process 仮在工程 ルの寸後(mm)			NAME AND ADDRESS OF	100 (00	10000	100,000	10000	180,000	100.00	1000	1007.000	Special Control
	the Entire Package パッケージ全体	Size (X, Y, Z) mm 맛슛(X, Y, Z) mm Number of Balls ((-) 사용 Ball Piloh (mm) ((-) 사용 Ball Dilameter (mm) ((-) 사용 Encapeutent (mm) ((-) 사용 Number of ICs (() (m%						THEFT	No. No.					
ABF-Type ABF 변	me nor nert	Layer Count 開会 Thiokness (gum) 記入 (Jum) Diselectric Layer Thiokness (gum) 発表 (現入 (Jum) Minimum US (gum) 記り時代 (Jum) Via Diameter (gum) と呼ば(Jum)				727		-		10000	-			
	得收集量每分	Via Formation Method ヒア科底方法 Material 村井 Manufacturing Process 気益工程							Section .	Total Control	Total Control	-dille	18/4/1	-
SLAC-Type SLAC:	Panel Size (mm) 八章	ルの寸銭[mm]				100.00		Sept. Married	1000		No. of Lot	1000	The same of	No.
	the Entire Package パッケージ全体	Size (X, Y, Z) mm 맛했(X, Y, Z) mm Number of Balls () 나 사랑 Ball Pitch (mm) (1~ 사건)를 (mm) Ball Diameter (mm) (1~ 사건)를 (mm) Encapsulant (하나) Number of lics (0 (m) Layer Count () [항							THE ROLL	THE REAL PROPERTY.				-
Prepreg-Type 크기코レク점	the RDL Part 再配纯服务分	Layer tourn (Ji St Thickness (Jum) 化チ (Jum) Dielectric Layer Thickness (Jum) 他第二年 F (Jum) Minimum US (Jum) 世 7時 (Jum) Via Diameter (Jum) ビ 7時 (Jum) Via Formation Method ビ 7縣京方法						-	11-	122	124	102	1112	111-1
	Panel Size (mm) /5/2	Material 村井 Manufacturing Process 英名工程 ルの子波(mm) 思想名Cline Prepress Type See "Abbyovistions" in 1.1.1							ethysia.	All Spiles	All point	All parts	All parts	ALC: U

For the abbreviations (ET8-Type, ABF-Type, 8LAC-Type, Prepreg-Type), see "Abbreviations" in 1-1-1. In this chapter.

略株(ETS型, ABF型, SLAC型, ブリブレク型) については、本章のI-I-I、の「**研修**」を参照。

[Remarks] *Some of the figures above are estimates. *Solder balls on ROLs are not included in the thickness. (µ-bumps are included in the thickness.)

=1: The descriptions in 2017 to 2020 are about FO-PLPs, for Galaxy Watches, which contain an application processor (and a PMIC) in themselves. The descriptions in 2021 to 2028 are about FO-PLPs, for smartphones, which contain an application processor in themselves.

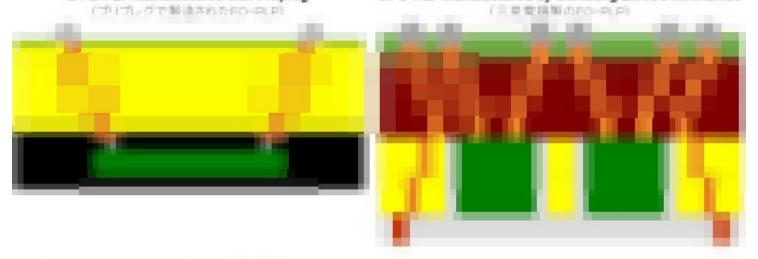
[機物]※上記数値の中、一等は模定値である。※再記銭層上の半田ボールは即時に含まれず、「ロバンブは即時に含まれる。」

※1:2017年から2020年に始ける起動はciacy Washing to でPPLICATION PROCESSOR(とMICE)を何色するFO-PLPについてである。2021年から2023年に始ける起動はスマートフォン向けでMPLICATION PROCESSORを何色するFO-PLPについてである。

	Size (X, Y, Z) mm FO-PLPs ファン・アウト・PLP	the Most Advanced	SSOR向けFO-PLP(FO-PLPs for Applica	ation Processors	2020	2021					
ntire Package		APPLICATION PROCE	SSOR向けFO-PLP(TO-PLPS for Applica	ition Processors	2020	2004	2000				
			ファン・アウト・PLP APPLICATION PROCESSOR向けFO-PLFの最先婚仕様 2020 2021 2022 2022 Size (X, Y, Z) mm 寸法 (X, Y, Z) mm 寸法 (X, Y, Z) mm					2022				
			Size (X, Y, Z) mm FO-PLPs		I Carallandian	FO-PLPs for Applica	tion December					
) IN		the Entire Package パッケージ全体	ファン・アウト・PLP				tion Processors	2023	2024	2025		
					Size (X, Y, Z) mn FO-PLPs	寸法(X, Y, Z)mm	Cassifications	FO-PLPs for Application	n Drassassara			1
						APPLICATION PROCE			ni Processors	2026	2027	2028
		ハラソーン主体					Size (X, Y, Z) mm	1 寸法(X, Y, Z) mm ボール数				
				the Entire Package パッケージ全体			Ball Pitch (mm)	ボールピッチ(mm)				
				ハツリーン主体			Ball Diameter (m	i m) ボール直径(mm)	-			
TS Part						the Entire Package パッケージ全体						_
3分						ハラワージ主体	Encapsulant 對止	ŧł		1000		
		the ETS Part			1					1000 - 1		
	c13-type	ETS部分					W 1 110 11	on Mar			1,000	111111
	ETS型 ^{®I}			the ETS Part			Layer Count 層數		-			
				ETS部分					国品(um)			
			ETS型 ^{®I}			the ETS Part	Dioloca io Eujor	Thiother (phil)		or property	The second second	-
DL Part				the RDL Part 再配線層部分	ETS-Type*1	ETS部分	Material 材料			, Steam	- Description	Library.
没 居部分					ETS型 ^{※I}	1						
		the RDL Part					Manufacturing P	rocess 製造工程			-	
		冉配線層部分					Thickness (um)	厚み(µm)				
							Minimum L/S (µ	Thickness (µm) 絶縁層. m) 最小線幅(〃m)	早み(μm)			
l Size (mm) //=							Via Diameter (µr	n) ピア径(μm)			and the second	
						the RDL Part	Via FOI mation ivi	etilot C7 115 108 77 JA			Total Control	Townson.
the Entire Package パッケージ全体		Panel Size (mm) /								100	1000	1
->±h							Material材料			100	- 100	1.00
			1	Panel Size (mm) /5								
		ハッソーン主体					Manufacturing P	rocess 製造工程				- 9
100 ES 15.						Panel Size (mm) //-	ネルの寸法(mm)					
DL Part	ABF-Type		ARF-Type	ハッケーン主体		the Entire Package パッケージ全体	Number of Balls	ボール数		-		
					-						_	
							Encapsulant 封止	材				
		件 配 級 信 部 勿	ABF型									
I Size (mm) //>				the RDL Part	ABF-Type		Thickness (µm)	厚み(μm)	H M (m)		_	
]	共犯級指部 为	ABF型		Minimum L/S (µ	m) 最小線幅(μm)	A-04 (W11)			
ntire Package	SLAC-Type SLAD	Panel Size (mm) //	1			the RDL Part					100.00	1000
一ジ全体						中比級店部刀	Via Formation M	ethod ピア形成方法				
			SLAC-Type 81 AC	Panel Size (mm) /	4		Material 材料					
		パッケージ全体					Manufacturing P	rocess 製造工程				
W.C. YASAWI				the Entire Package	SLAC-Type SLAF	Panel Size (mm) / .	ネルの寸法(mm)					
	Prepreg-Type			パッケージ全体			Size (X, Y, Z) mn	1 寸法(X, Y, Z)mm		-	-	
	プリプレグ型						Ball Pitch (mm)	ボールピッチ(mm)			_	
			Prenreg.Tyne			パッケージ全体						
Size (mm) //		中比級信部 勿	プリプレグ型				Number of ICs	0の数				
or the abbreviations (E.15.Type, AM 時か(G13型, AGF型, SLAD型, アリアレク型)				the RDL Part	Prepreg-Type				-			
			件配料准部分	プリプレグ型	NACE AND ADDRESS OF THE PARTY.	Dielectric Layer	Thickness (µm) 絶縁層.	厚み(μm)				
		the same of the sa				the RDL Part	Via Diameter (µr	m) 根小線幅(ルm) n) ビア径(ルm)				
2025 are about	FO-PLPs, for sm	ariphones, which o		Danal Size (mm)		用配線潛部分	Via Formation M	ethod ピア形成方法				-
・部は無定備である					4			estes HPA - Nas Albertain				
於其法配數其pole	o Petchall J CAPP	LIDELL SHEET SHOULD		STRUCKER OF STREET	4		Material 材料 Manufacturing P					
RE A III	DL Part 尼部分 Size (mm) / Fi thire Package - 少全体 Size (mm) / Fi S	ETS-Type [®] ETS型 ^{®®®} ETS型 ^{®®®®®®®®®®®®®®®®®®®®®®®®®®®®®®®®®®®®}	ETS-Type** ETS参分 ETS 参分 ETS 参	ETS-Type** ETS-Type** ETS-Type** ETS-Type** ETS-Type** ETS-Type** ETS-Type** ETS-Type** ETS-Type** ETS-Type* ABF-Type ABF-T	ETS-Type** The ROL Part	ETS-Type**	ETS-Type**	ETS-Type** Inchere 1Cs if the ETS Part ETS	ETS-Type** ETS-Part ET	ETS-Type** 대한 FTS Part 대한 FT	### CTS-Type** CTS-T	### CTS Pype** ### Material HT

a FO-PLP Manufactured with Prepreg

a FO-PLP Manufactured by Samsung Electro-Mechanics



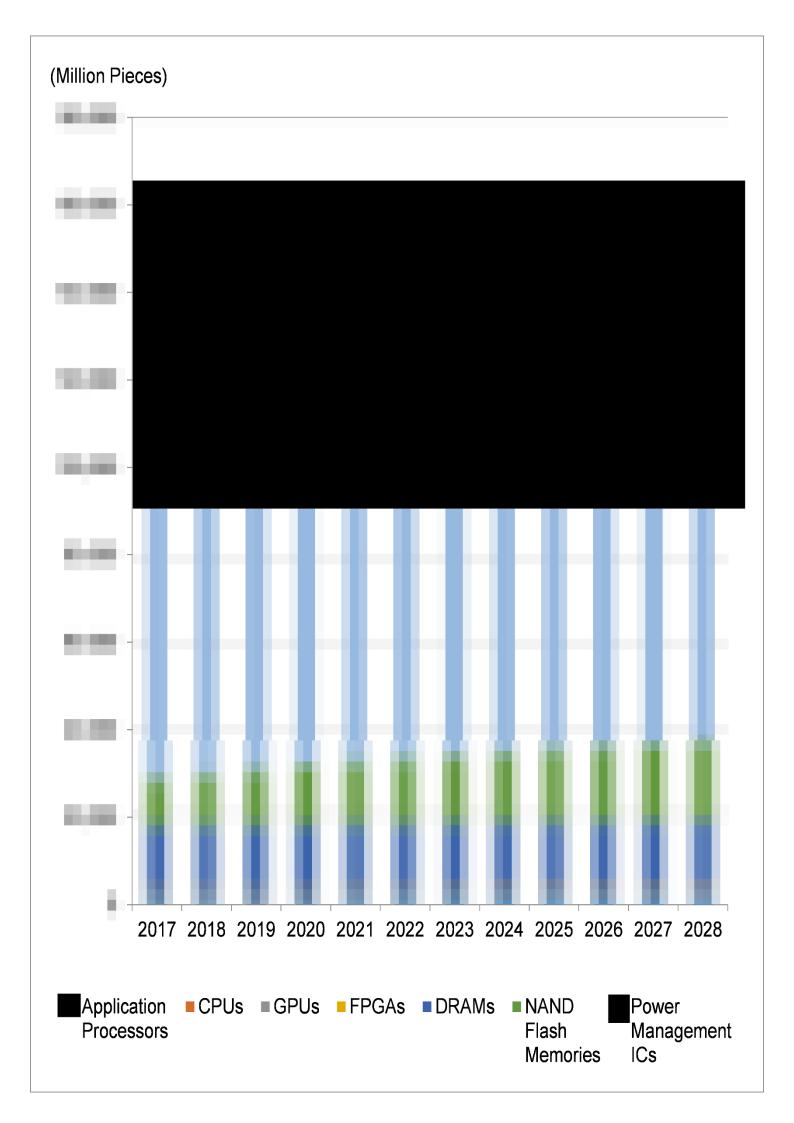
*A normal FO-PLP consists mainly of an RDL part and a molded part.

在通常のFO-PLPは、主に、RDL部分並びに対止部分から成り 立っている。

*A FO-PLP manufactured by Samsung Electro-Mechanics adopts an ETS in a quite unique manner.

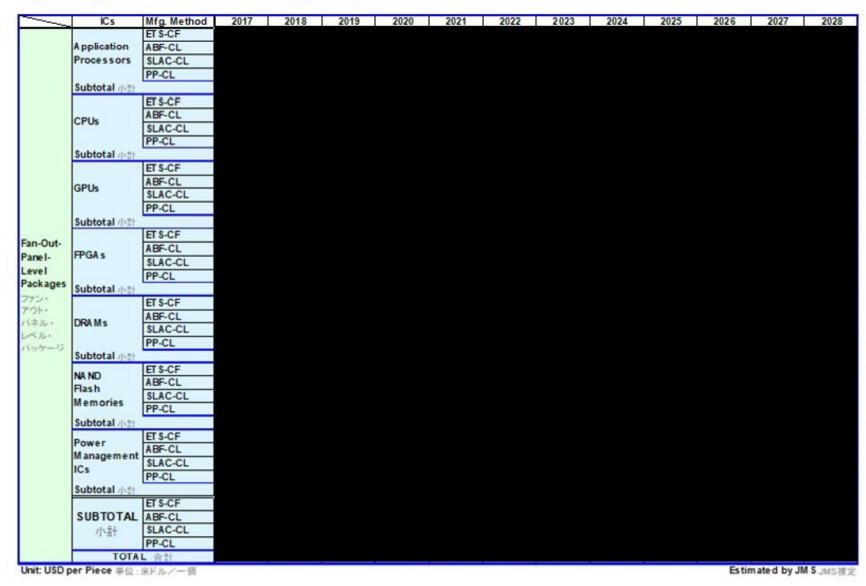
※三星電報製のFO-PLPは、かなり独特の方法にて ETSを採用している。

		Cs in Pack マケージの		Mfg. Method 製造工程	2017	2018	2019	2020	2021	2022	2023	2024	2025	2026	2027	2028
	,			ETS-CF												
				ABF-CL			_					- 10		_	_	_
				SLAC-CL												
			Application	PP-CL								_	- 0		- 60	
			Processors	Subtotal 小計								_	- 8		- 100	
				FO-WLPs		-	-	-	_	_	- 8	_	_		_	
				FC-CSPs		-	100	- 10	-	-	-	-	- 100	-	- 8	_
				Subtotal 小計		-		-							-	
			AP TOTAL AP1			-		_							-	
				ETS-CF		_	-									
				ABF-CL		-			-							
				SLAC-CL			-0		-						-0	
			CPUs	PP-CL Subtotal 小計		-0		_	-						-0	
				2.50 PKGs		-	_	_	_	_	_	_	_	_	-	
				FC-BGAs				-4		- 6		-6			- 0	- 6
				Subtotal 小計		_			_	_		_	_	_	_	
		Logic	CPU TOTAL OF			_		_	_	_		_		_	_	
		ICs		ETS-CF		_		_		_		_			_	
		ロジックロ		ABF-CL			_								- 8	
				SLAC-CL										_	- 10	
			GPUs	PP-CL												
			Or Us	Subtotal 小計				_								
				2.50 PKGs									_		_	
				FC-BGAs	-			-	_		-	-	_	_	-	_
	D:-:110-		ODU TOTAL O	Subtotal 小計		-	-	_						_	-	
	Digital ICs デジタルIO		GPU TOTAL GF	ETS-CF		-	-	_	-	_	-	-	-0	_	-9	
IC Packages That	5-23/MO			ABF-CL											-	
Are Likely To Adopt				SLAC-CL												
FO-PLP Technologies				PP-CL			- 0		-		-		-		-	
In The Near Future			FPGAs	Subtotal 小計											_	
近い将来IZFO-PLP技術				2.50 PKGs		_							- 1		- 1	
を採用する可能性がある				FC-BGAs		-8	-	-	_	-0	-	-	_	-	-	-
10パッケージ				Subtotal 小計				-0	-	-0	-0			_	-	
			FPGA TOTAL	ETS-CF					- 0				- 4		-9	
			DRAMs	ABF-CL		-0			-		-		-		-	
				SLAC-CL		-0	-0		-		-				-	
				PP-CL											-	
				Subtotal 小計		_					_	_	_	_	_	
				CSP8			- 66	-		_	_	_	_	_	_	_
				BOCs		-	386	-60		-80		-60	- 48	-00	-66	-00
		Memory		Subtotal 小計												
		ICs	DRAM TOTAL					-								
		XEUIO		ETS-CF ABF-CL												
				SLAC-CL												
			NAND	PP-CL												
			Flash	Subtotal 小計												
			Memories	CSPs/MCPs					100							
				Lead Frames												
				Subtotal 小計												
			NAND TOTAL													
				ETS-CF												
				ABF-CL SLAC-CL												
			Power	PP-CL												
	Analog ICs	3	Management	Subtotal 小計												
	アナログIO		ICs	FC-CSPs												
				Lead Frames									100		100	
				Subtotal 小計												
			PMIC TOTAL F													
the Total of I	C Packa	ges tha	t Adopt	ETS-CF												
				ABF-CL												
	P Techr			SLAC-CL												
FO-PLP技術を招	K用するI(バッケ	ージの合計	PP-CL Subtotal 小計												
the Total of 2.50 PKGs, I	FOWLPs. FO	CSPs. FC	OGAs, and Lead						100				-10			
		TAL 合計														
Unit: Million Pieces 単位															ared by JM	E.IMC作式



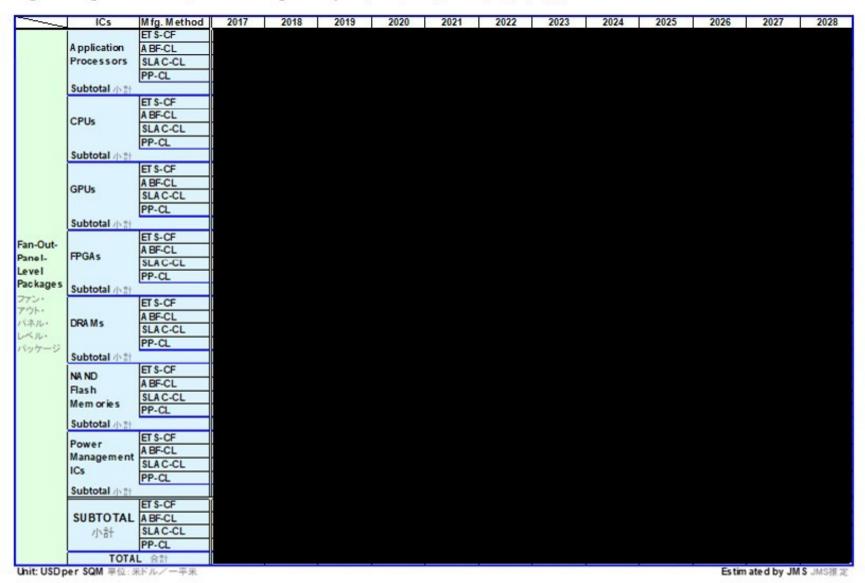


G. Average Selling Prices in Pieces - Excluding IC Chips (IC チップを除いた平均個数単価)↓





H. Average Selling Prices in SQM - Excluding IC Chips (IC チップを除いた平均平米単価)→



Chapter One the Global Markets of FO-PLPs and Related Things (第一章 世界 FO-PLP 市場と関連事項)

[Application Form] The copyright belongs to Japan Marketing Survey Co., Ltd.

el Package Report 2019
FAX:
JPY
AN ENGLISH VERSION (560,000 JPY) <shipping &="" costs="" handling="" included=""> ↑ Please print or type the price. ↑</shipping>
Expiration Date:

<Payment by Wire Transfer> Please transfer the payment to the following:

Bank: MIZUHO BANK (Swift code: MHCBJPJT)

Branch: Kobunacho Branch (Phone: 81-3-3661-3111)

Branch code: 105

Branch Address: 8-1 Nihonbashi-kobunacho, Chuo, Tokyo 103-0024 JAPAN

Account Number: 105-1653912

Account Name: Japan Marketing Survey Co., Ltd.

Please make the payment in 15 business days. (Please transfer the payment the way the amount above will be deposited in our account.)

*Alternatively, if you simply put the required items above in the main text of an email, we accept your application. (info@jms21.co.jp) *We also accept your application through our web site. (https://www.jms21.co.jp/en/publics/index/29/)

【申込書】

FAX TO: 03 - 5829 - 3892		令和	年	月	日
株式会社 ジャパンマーケティングサーベイ 殿					
Fan-Out-Panel-Level Package Report 2019					
申込企業名:					
申込責任者:					_ 卸
同役職:					
連絡担当者:					
同所属:					
<u> </u>					
TEL:	FAX:				
E-Mail:					
申込金額			円	(税込	.み)

お申し込み頂く時点で、「禁無断転載」及び「第三者への譲渡禁止」をご了承頂いております。

- ※上記の必要事項をメール本文に簡単にお書き頂き、info@jms21.co.jp にご送信頂くだけでも、ご注文をお受け致します。
- ※また、弊社のウェブサイトからのご注文もお受け致しております。(https://www.jms21.co.jp/publics/index/74/)